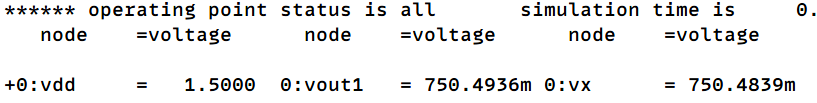
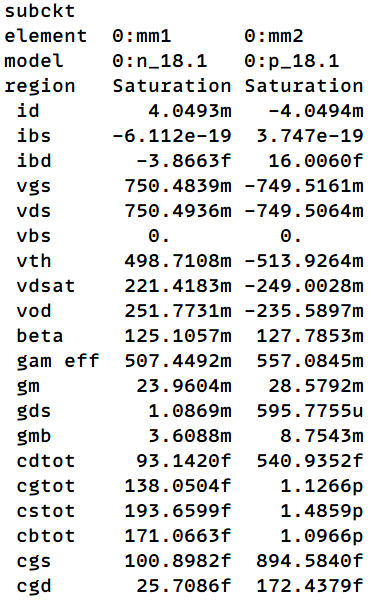
**Analog IC Design Homework 5 Report**

* Student ID : 110011207
* Name : 林士登
* Department : ESS工科系25級

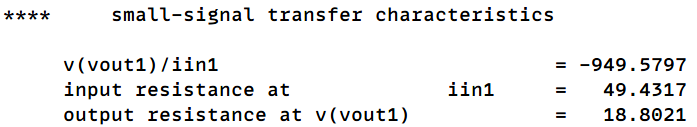
**Question 1. ﹣With Feedback**

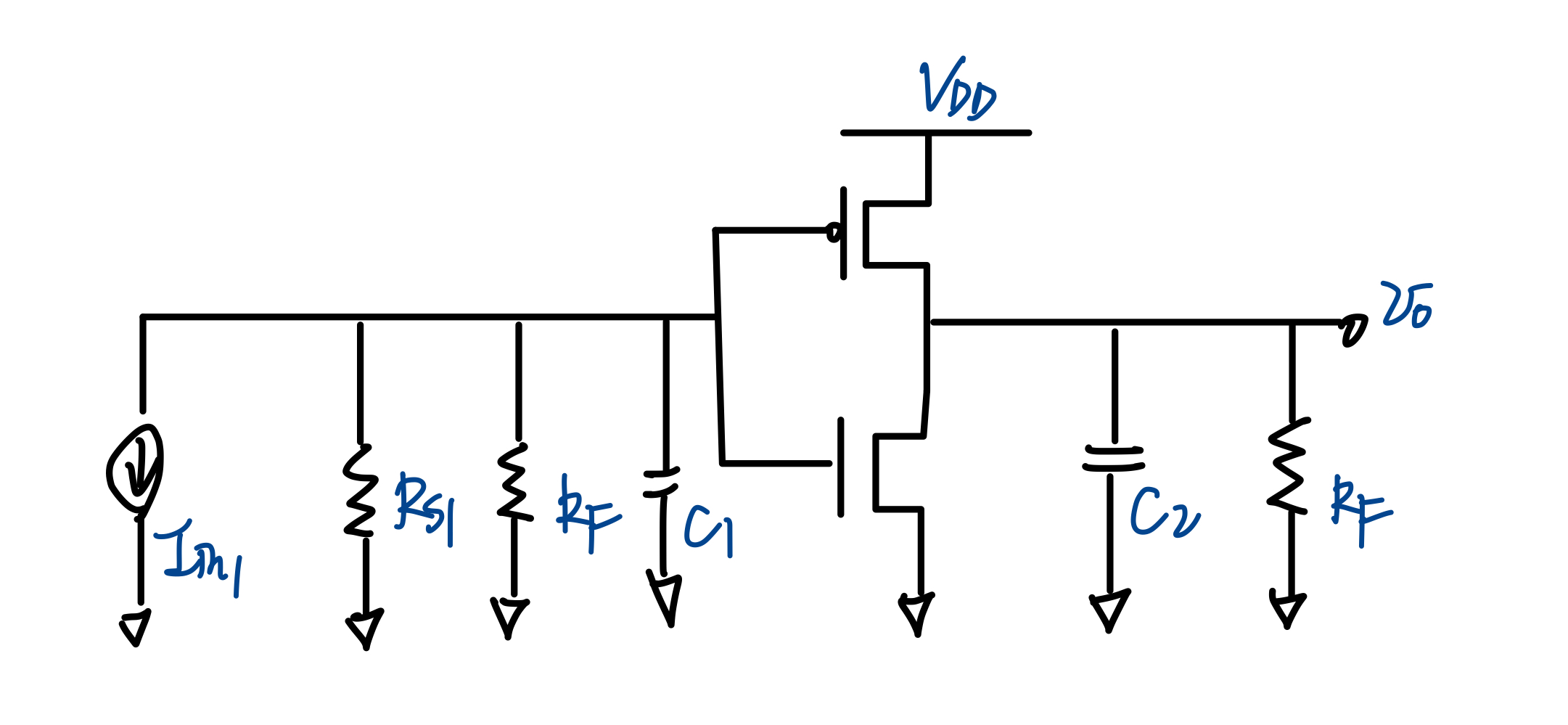
1. 設計流程與思路一併在(g)說明







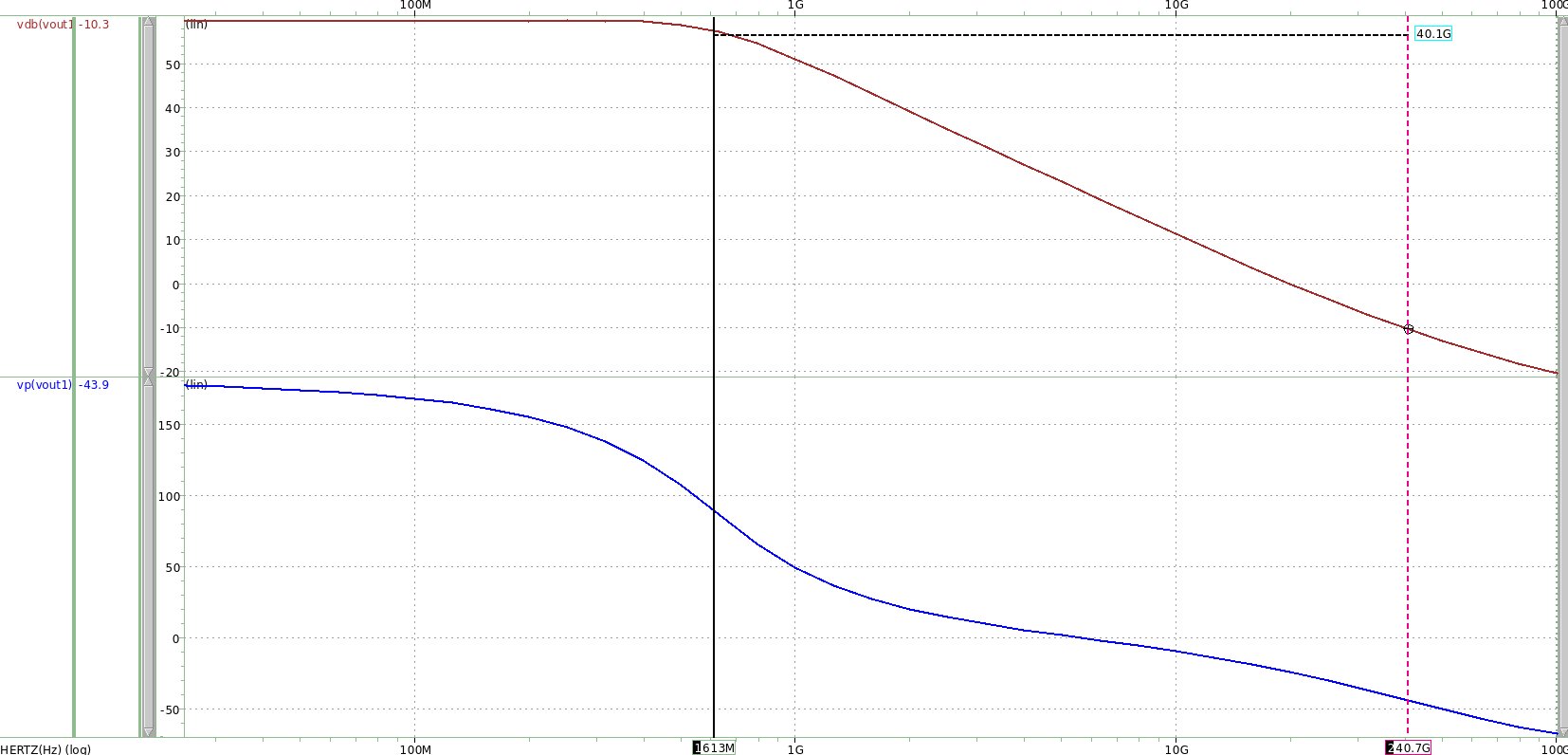




**Calculations**

|  |  |  |  |
| --- | --- | --- | --- |
|  | Simulation | Hand Calculation | Error |
| Input Impedance | 49.4317 |  | 1.853% |
| Output Impedance | 18.8021 |  | 1.893% |
| Transimpedance DC Gain | -949.5797 |  | 0.096% |

由此可觀察到手算值與模擬值差不多，但因為沒有body effect的關係，因此可推測誤差來源來自電路中的寄生電容。



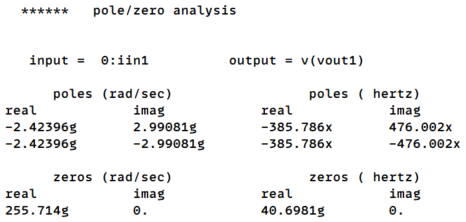
***Frequency (Hz)***

***Phase ()***

***Closed-Loop-Gain (dB)***

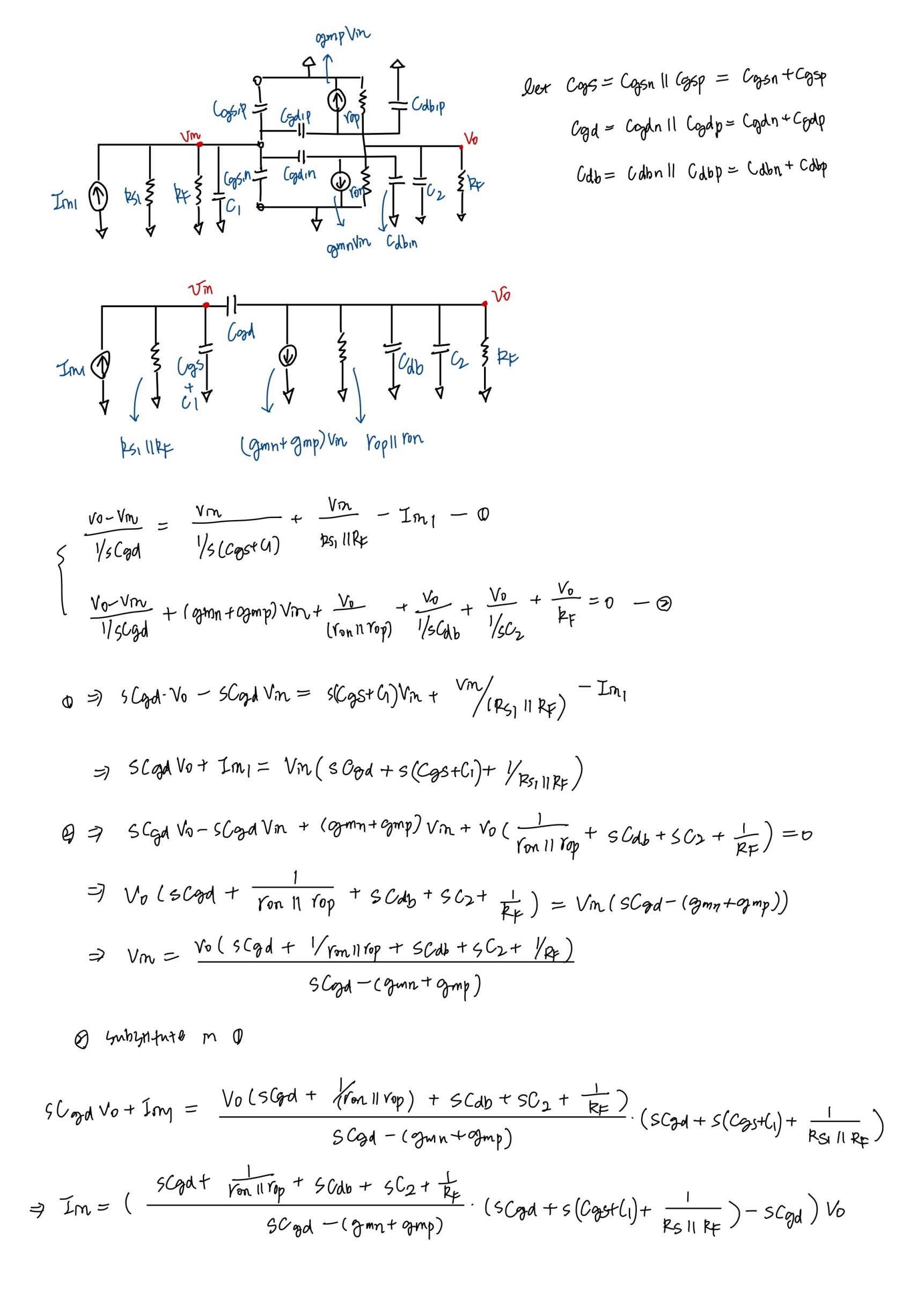
***Zero***

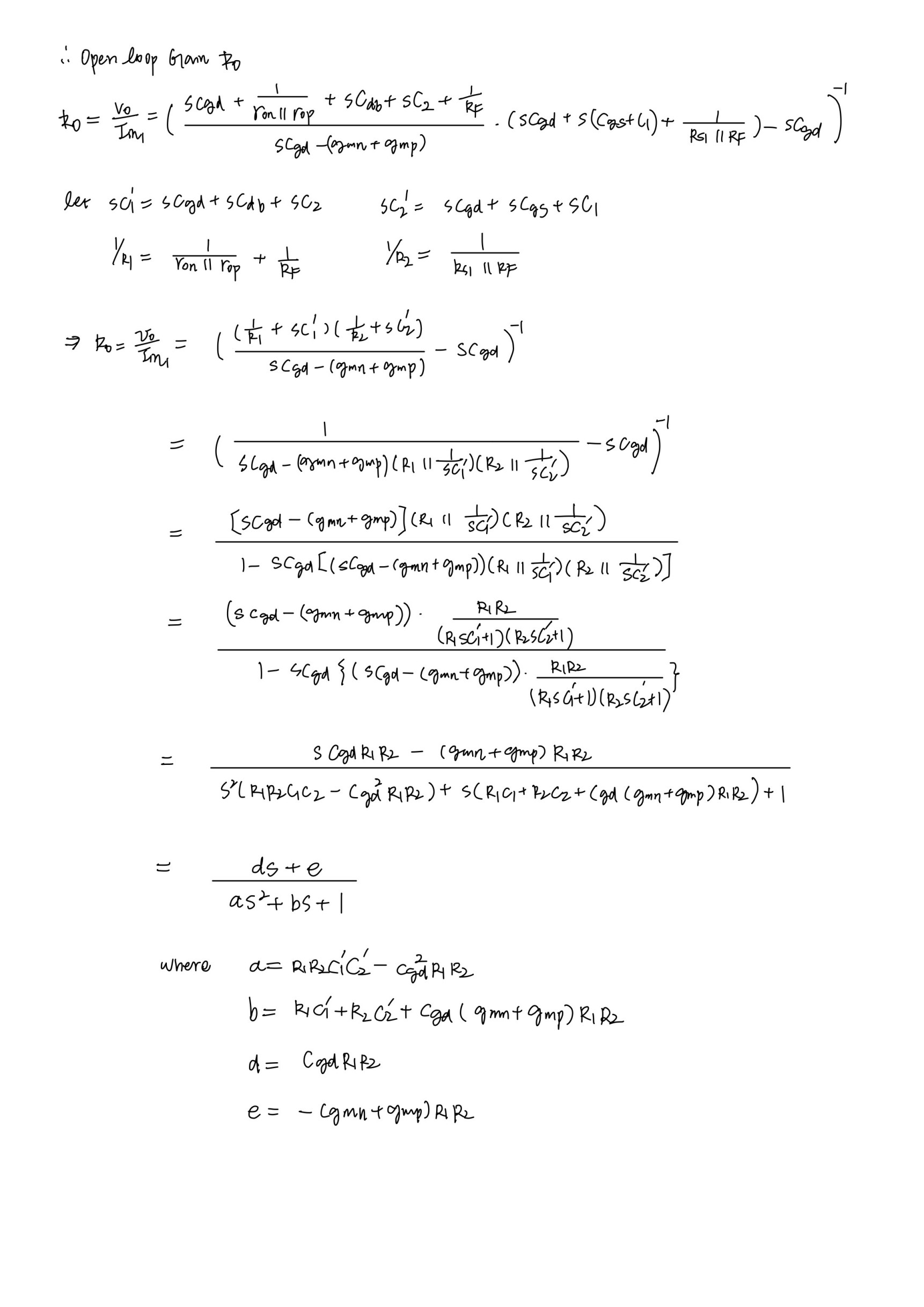
***Pole 1/ Pole 2***

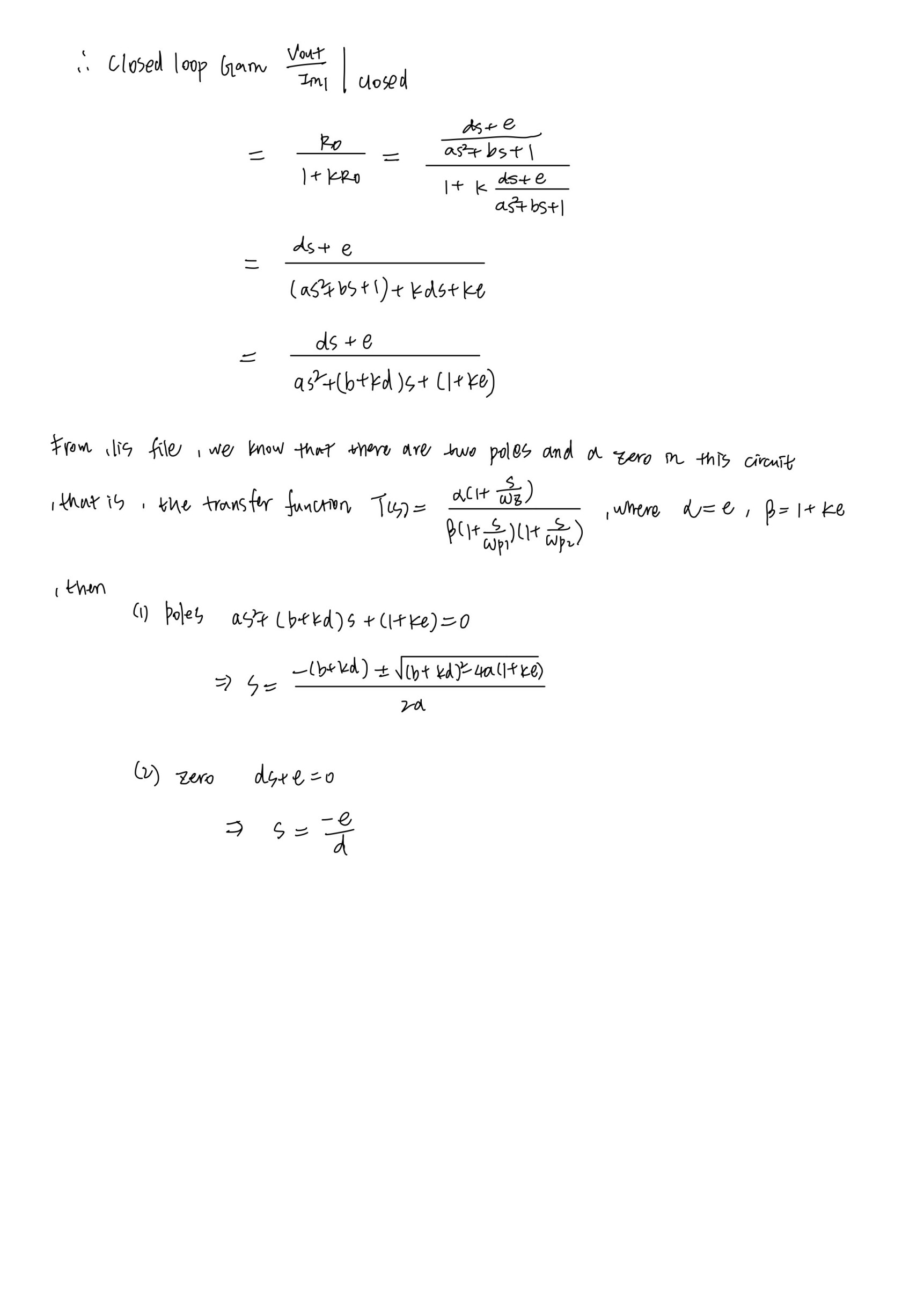




1. Calculate the output pole and zero

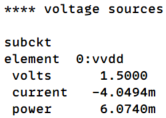






|  |  |  |
| --- | --- | --- |
|  | |Pole| | Zero |
| Simulation |  |  |
| Hand Calculation |  |  |
| Error |  |  |

可以從上表觀察到公式推導之pole與zero值誤差小，存在誤差原因可能是因為電路中寄生電容的影響與數值上取位之誤差。



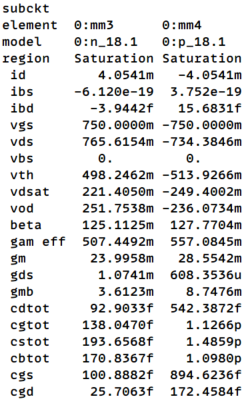
**設計思路：**

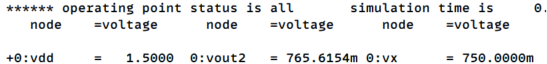
條參數時，我發現W增加時，M1電流上升，Gain上升；L增加時，Gain會變動(gm下降，ro上升，因此要看size比例，L上升Gain變大變小都可能)、-3dB bandwidth下降(因為Cout隨L上升而增加)。我的策略是將L條小，這樣可以降低ro值並控制bandwidth不要太小。但在第一次調整gain達到要求後，Vout與bandwidth還沒有達到，但參考e小題pole的公式可以看到增加gm值可以增加bandwitdh及pole的大小，因此由上述條小L策略增加gm之大小；第二次調整主要著重在Vout的部分，由於Vout=Vx-Ix\*RF=Vx-(Id,n-Id,p)\*RF，我的策略是將Id,n調至與Id,p相近可以增加Vout值。最後達到題目要求的規格為 Wn/Ln = 35.5um/0.2um , m=2、Wp/Lp = 60um/0.3um , m=8、Iin1=15uA。

**優化思路：**

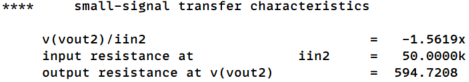
可以觀察到在FOM公式中電流影響是最大的，因此要降低電流，要調低W/L與m值，調低W/L可能造成gmn與gmp之下降，但由於上述思路分析L降低，總體closed-loop gain不一定會下降，且如上述分析L降低bandwidth可以有效控制在理想範圍內，因此總體而言，將L條小，再根據電路參數表現去調正W與m值，最後在電流、bandwidth與gain之間的trade-off取得平衡是我認為最適優化方法。

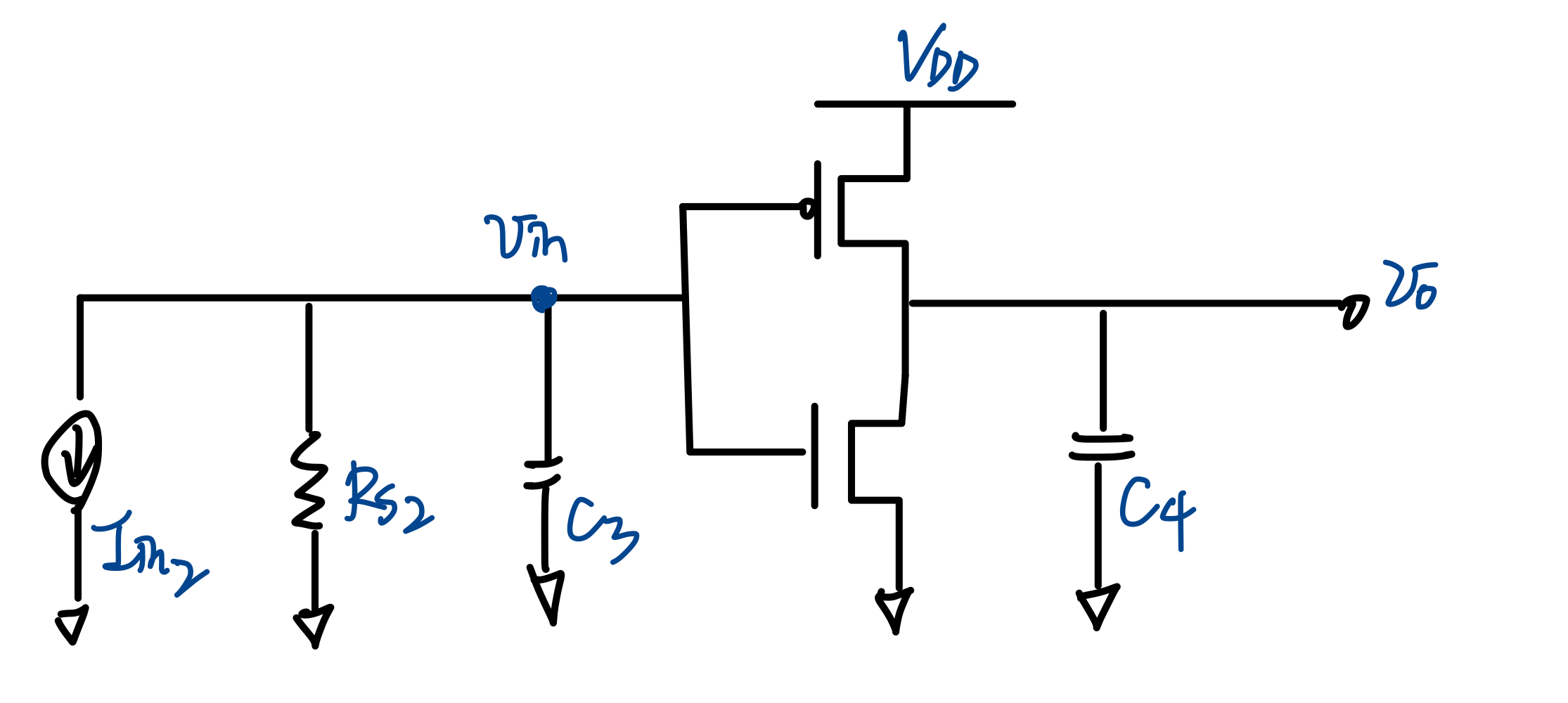
**Question 2. ﹣Without Feedback**







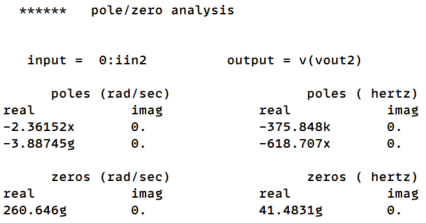


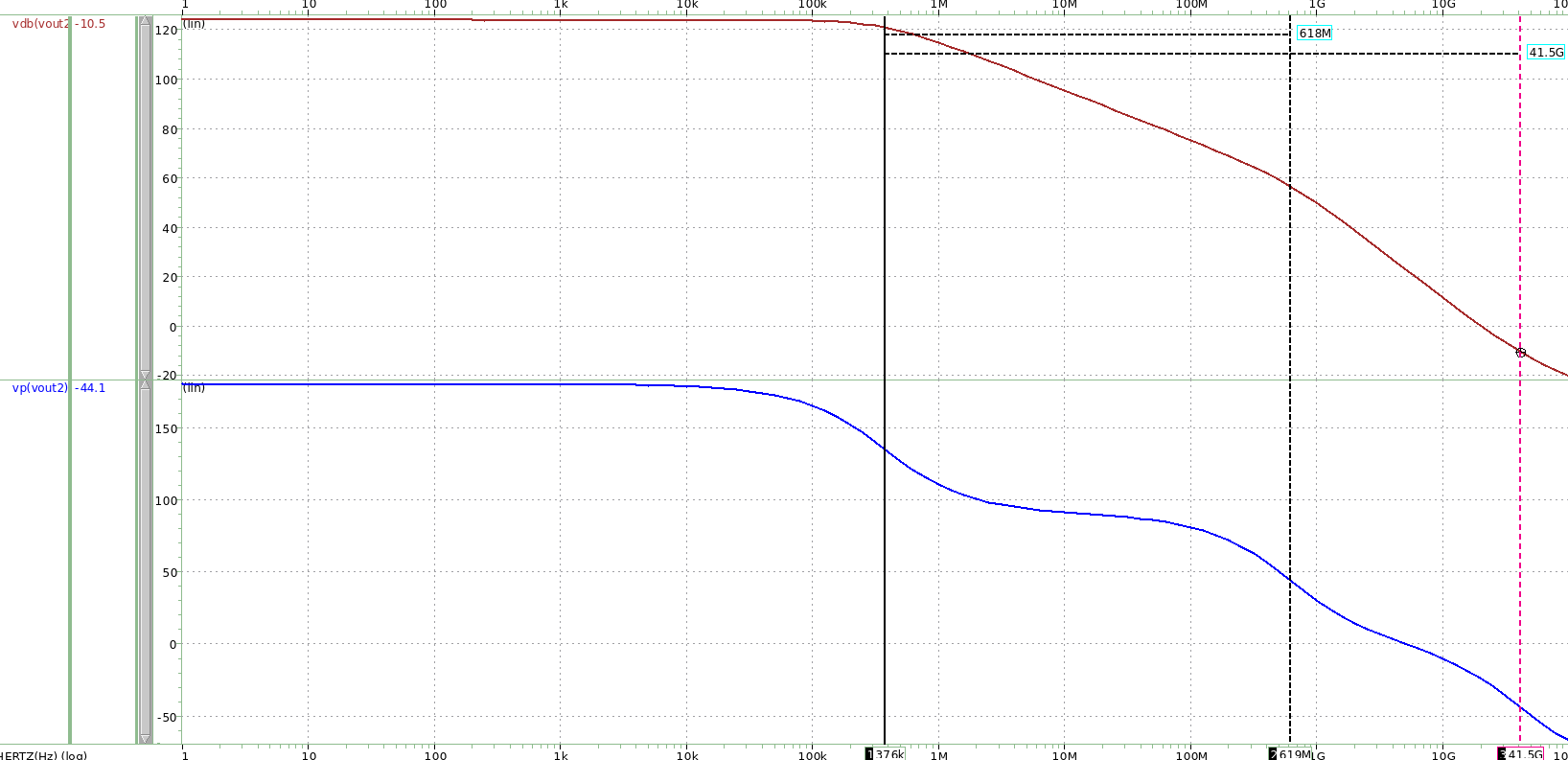


(consider s=jw⟶0)

|  |  |  |  |
| --- | --- | --- | --- |
|  | Simulation | Hand Calculation | Error |
| Output Impedance | 594.7208 ( |  | 0.059% |
| Transimpedance DC Gain | -1.5619 (M) |  | 0.012% |

由上述推導與計算可觀察到誤差極小，應為數值取位數之誤差造成。





***Frequency (Hz)***

***Pole 1***

***Pole 2***

***Zero***

***Phase ()***

***Gain (dB)***

1. 與上題feedback的公式類似，僅將在公式中的RF移除，即可得到結果。

|  |  |  |  |
| --- | --- | --- | --- |
|  | Pole 1 | Pole 2 | Zero |
| Simulation |  |  |  |
| Hand Calculation |  |  |  |
| Error |  |  |  |

可以從上表觀察到公式推導之pole與zero值誤差小，存在誤差原因可能是因為電路中寄生電容的影響與數值上取位之誤差。

**Question 3. ﹣Discussion**

1. 首先，最明顯的差別是沒有feedback的電路gain較大，而feedback之closed loop gain小許多，這是因為回授多了一個倍率在分母，當A0很大時，總體增益 趨近於。再來，可以觀察到相同的電路參數下，feedback的bandwidth大許多，相較非回授電路多了倍；從上題與上上題推導可知輸出與輸入電阻在RF回授下因為並聯與除上 (1+KA) 倍因子，皆變小許多。總結來說，回授會造成放大增益的穩定，但是代價為增益大小；另外，回授可以有效的控制輸入及輸出之阻抗，並增加頻寬大小，以下整理feedback與無feedback之優缺點。

* **Feedback**

**優點：**

1. **增益穩定性**：回饋能夠穩定電路增益，使其更接近設計值，並且不易受到元件參數變異的影響。
2. **頻寬增大**：負回饋可以增大電路的頻寬，提高其頻率響應性能。
3. **失真減少**：回饋能夠減少非線性失真，改善信號質量。
4. **輸入和輸出阻抗**：回饋可以調節輸入和輸出阻抗，使其符合設計要求。

**缺點：**

1. **電路複雜度**：回饋結構增加了電路的複雜度，設計和分析變得更加困難。
2. **穩定性問題**：在某些情況下，回饋可能導致電路不穩定，特別是在高頻段。
3. **功耗增加**：由於回饋網絡的存在，總功耗可能會增加。

* **Without Feedback**

**優點：**

1. **結構簡單**：無回饋電路結構簡單，設計和分析相對容易。
2. **功耗較低**：由於沒有回饋網絡，功耗可能較低。

**缺點：**

1. **增益不穩定**：無回饋電路的增益容易受到元件參數變異的影響，難以保持穩定的增益值。
2. **頻寬較小**：無回饋電路的頻寬通常較小，頻率響應性能較差。
3. **失真較大**：無回饋電路的非線性失真較大，信號質量較差。
4. **輸入和輸出阻抗不可控**：無回饋電路的輸入和輸出阻抗難以調節，可能不符合設計要求。

|  |  |  |  |
| --- | --- | --- | --- |
| Fig. 1 | | | |
| Working item | Specification | Simulation | Calculation |
| Vdd (V) | 1.5 | | |
| C1, C2 (F) | 1p | | |
| transimpedance DC gain (k) | > 0.85 | 0.9495797 | 0.950496915 |
| bandwidth (MHz) | > 650 | 675.6105 |  |
| Closed-loop poles/zeros  (rad/s) |  | Wpole = | Wpole = |
| Closed-loop  input impedance  () |  | 49.4317 | 48.5324 |
| Closed-loop  output impedance  () |  | 18.8021 | 18.4529 |
| Input common  mode current (uA) |  | 15 |  |
| Output common  mode voltage (V) | 0.75 (± 1%) | 0.7504936 |  |
| M1 (W/L), m |  | 35.5um/0.2um  m=2 |  |
| M2 (W/L), m |  | 60um/0.3um  m=8 |  |
| FoM (uA/) |  |  |  |

|  |  |  |  |
| --- | --- | --- | --- |
| Fig. 2 | | | |
| Working item | Specification | Simulation | Calculation |
| Vdd (V) | 1.5 | | |
| C3, C4 (F) | 1p | | |
| transimpedance DC gain  (k) | - | 1561.9 | 1561.7 |
| bandwidth (MHz) | - | 0.3751525 |  |
| Closed-loop poles/zeros  (rad/s) |  | WPole1=-2.36152M  WPole2=-3.88745G  WZero=260.646G | WPole1=-2.38163M  WPole2=-3.98209M  WZero =265.183G |
| Closed-loop  input impedance  () |  | 50k |  |
| Closed-loop  output impedance  () |  | 594.7208 |  |
| Input common  mode current (uA) | same as Iin1 | 15u |  |
| Output common  mode voltage (V) | - | 0.7656154 |  |
| M3 (W/L), m | same as M1 | 35.5um/0.2um  m=2 |  |
| M4 (W/L), m | same as M2 | 60um/0.3um  m=8 |  |